

明 細 書

バックアップ回路

技術分野

本発明は、電源瞬断時にデジタル回路の中の記憶回路に記憶された情報を保持するバックアップ回路に係り、特に、標準CMOSプロセスで構成可能なバックアップ回路に関する。

背景技術

従来のデジタル回路では、例えば、特開2001-327101号公報に記載されているように、電源供給端子とデジタル回路との間にバックアップコンデンサからなるバックアップ回路を備えたものが知られている。電源供給端子から電圧が供給されているとき、バックアップコンデンサはチャージされ、電源瞬断時に電源供給端子から電圧が遮断されると、バックアップコンデンサにチャージされた電荷により、電圧がデジタル回路に供給され、記憶回路に記憶された情報を保持するようにしている。

そして、バックアップコンデンサにチャージされた電圧が、電源供給端子から外部に供給されるのを防止するために、電源供給端子とバックアップコンデンサとの間に、ダイオードを配置することが知られている。ここで、ダイオードのアノードが電源供給端子に接続され、ダイオードのカソードがバックアップコンデンサの一方の端子に接続されることにより、電源供給端子から供給される電圧が低下した場合にはバックアップコンデンサから電源供給端子への電流の逆流を防止する。

しかしながら、ダイオードを用いるものでは、ダイオードとデジタル回路を同一のLSIチップに構成するには標準CMOSプロセスでは不可能であるため、SOIプロセス等の特殊なプロセスが必要となる。このため、デジタル回路を標準CMOSプロセスで構成した場合には、ダイオードは外部素子になるという問題があった。また、ダイオードを用いる場合には、通常動作時においてもダイオ

ードが電圧降下を発生させるという問題があった。

それに対して、ダイオードに代えて、発振器とチャージポンプで駆動されるMOSトランジスタを用いるものも知られている。この構成では、電源供給端子から供給される電圧により発振器を駆動し、この発振器の出力によりチャージポンプを駆動する。また、MOSトランジスタのアノードが電源供給端子に接続され、MOSトランジスタのカソードがバックアップコンデンサの一方の端子に接続される。チャージポンプの出力は、MOSトランジスタのゲートに供給される。そして、電源供給端子から供給される電圧が低下した場合には発振器が停止し、チャージポンプからMOSトランジスタのゲートに印加する電圧を低下させて、MOSトランジスタをオフにし、バックアップコンデンサから電源供給端子に電流が逆流することを防止する。この構成では、標準CMOSプロセスで構成することができるので、デジタル回路と同一半導体チップに集積化することができ、また、電圧降下もほとんど生じないものである。

発明の開示

しかしながら、発振器とチャージポンプとMOSトランジスタを用いるものでは、発振器とチャージポンプを構成するために約15点のトランジスタ素子が必要であり、素子数が多くなるため、回路規模が大きくなるという問題があった。

本発明の目的は、標準CMOSプロセスで構成することができ、回路規模の小さなバックアップ回路を提供することにある。

(1) 上記目的を達成するために、本発明は、記憶回路を含むデジタル回路とこのデジタル回路に電源を供給する電源供給端子との間に配置され、電源瞬断時に前記デジタル回路にバックアップ電圧を供給するバックアップコンデンサを有し、前記記憶回路に記憶された情報を保持するバックアップ回路において、前記電源供給端子と前記バックアップコンデンサとの間に配置され、前記電源供給端子に電源が正常に供給されている時には抵抗として働き、電源が遮断された時には前記デジタル回路から前記電源供給端子への方向を逆方向とするダイオードとして働くとともに、標準CMOSプロセスで構成することができる素子を備えるようにしたものである。

かかる構成により、標準CMOSプロセスで構成することができ、回路規模を小さくし得るものとなる。

(2) 上記(1)において、好ましくは、前記素子は、MOSトランジスタであり、このMOSトランジスタのゲート端子がグランド電位に接続するようにしたものである。

(3) 上記(2)において、好ましくは、前記MOSトランジスタは、複数個直列に接続されたものである。

(4) 上記(1)において、好ましくは、前記電源供給端子の電圧が予め定められた電圧以下になった場合に前記デジタル回路を低消費電力状態に移行させる移行手段を備えるようにしたものである。

(5) 上記(4)において、好ましくは、前記移行手段は、前記電源供給端子の電圧を検出する電圧検出手段であり、予め定められた電圧以下になった場合に前記デジタル回路をスタンバイ状態に移行させるものである。

(6) 上記(4)において、好ましくは、前記移行手段は、前記電源供給端子から供給される電圧によって駆動される発振器であり、この発振器から出力されるクロック信号により、前記デジタル回路を駆動するとともに、前記電源供給端子から供給される電圧が予め定められた電圧になると、発振を停止するものである。

(7) 上記(1)において、好ましくは、前記電源供給端子の電圧が予め定められた電圧以下になった場合に前記デジタル回路をリセットするリセット手段を備えるようにしたものである。

(8) 上記(7)において、好ましくは、前記リセット手段は、前記電源供給端子の電圧が予め定められた電圧以下になった後、所定時間遅延して前記デジタル回路をリセットするようにしたものである。

図面の簡単な説明

図1は、本発明の第1の実施形態によるバックアップ回路の構成を示す回路図である。

図2は、本発明の第1の実施形態によるバックアップ回路に用いるMOSトラン

ジスタの断面構造を示す断面図である。

図 3 は、本発明の第 1 の実施形態によるバックアップ回路の動作説明図である。

図 4 は、本発明の第 1 の実施形態によるバックアップ回路の具体的な構成を示す回路図である。

図 5 は、本発明の第 2 の実施形態によるバックアップ回路の構成を示す回路図である。

図 6 は、本発明の第 2 の実施形態によるバックアップ回路によってバックアップされるデジタル回路の構成を示すブロック図である。

発明を実施するための最良の形態

以下、図 1 ～図 4 を用いて、本発明の第 1 の実施形態によるバックアップ回路の構成および動作について説明する。

最初に、図 1 を用いて、本実施形態によるバックアップ回路の構成について説明する。

図 1 は、本発明の第 1 の実施形態によるバックアップ回路の構成を示す回路図である。

バックアップ回路 10 は、直列に接続された p-MOS トランジスタ MOS 1、MOS 2 と、バックアップコンデンサ C 1 と、電圧検出回路 12 と、遅延回路 14 とから構成される。

MOS トランジスタ MOS 1 のカソード端子 K 1 は、電源供給端子 T IN に接続されている。MOS トランジスタ MOS 1 のアノード端子 A 1 は、MOS トランジスタ MOS 2 のカソード端子 K 2 に接続されている。MOS トランジスタ MOS 1 のゲート端子 G 1 は、電源供給端子 T GND に接続されている。電源供給端子 T GND は接地電位である。電源供給端子 T IN、T GND には、外部電源が接続され、電圧 V 1 が供給される。

MOS トランジスタ MOS 2 のカソード端子 K 2 は、MOS トランジスタ MOS 1 のアノード端子 A 1 に接続されている。MOS トランジスタ MOS 2 のアノード端子 A 2 は、デジタル回路 20 の電源供給端子 VDD に接続されている。MOS トランジスタ MOS 2 のゲート端子 G 2 は、電源供給端子 T GND に接続されてい

る。これによって、MOSトランジスタMOS 1、MOS 2は、電源供給端子TINと、デジタル回路20の電源供給端子VDDの間に直列に接続されている。

直列接続されたp-MOSトランジスタMOS 1、MOS 2は、図2を用いて後述するように、外部から電源が正常に供給されている時には抵抗として働き、電源が遮断された時にはデジタル回路20から電源供給端子TINへの方向を逆方向とするダイオードとして働く素子である。

バックアップコンデンサC1の一方の端子は、MOSトランジスタMOS 2のアノード端子A2と、デジタル回路20の電源供給端子VDDとの接続点に接続されている。バックアップコンデンサC1の一方の端子は、電源供給端子TGNDに接続されている。バックアップコンデンサC1には、電源供給端子TIN、TGNDからデジタル回路20の電源供給端子VDDに供給される電源電圧を充電する。

電圧検出回路12は、電源供給端子TIN、TGNDの両端電圧を検出し、デジタル回路20を低電力状態（スタンバイ状態）に移行させる信号を発生する。電圧検出回路12の出力は、デジタル回路20のスタンバイ端子STANBYに入力する。デジタル回路20のスタンバイ端子STANBYの入力信号がハイレベルになると、デジタル回路20は、その内部に備えられているCPU（演算器）等への電力供給を停止して、デジタル回路20を低電力状態に移行する。なお、このとき、デジタル回路20の内部のROMなどの記憶素子は、デジタル回路20の電源供給端子VDDから供給される電圧によって記憶されている情報を保持する。

遅延回路14は、電圧検出回路12の出力信号を遅延させた遅延信号を発生する。遅延回路14の出力信号は、デジタル回路20のリセット端子RESETに供給される。デジタル回路20は、リセット端子RESETの入力信号がローレベルからハイレベルに変化すると、内部のCPU等によりリセットをかけ、デジタル回路20の動作を復帰させる。

次に、図2を用いて、本実施形態によるバックアップ回路に用いるMOSトランジスタの断面構造について説明する。

図2は、本発明の第1の実施形態によるバックアップ回路に用いるMOSトランジスタの断面構造を示す断面図である。なお、図1と同一符号は、同一部分を示している。

p-MOSトランジスタMOS 1, MOS 2は、P-SUB基板m 1に互いに分離されたN-WELLm 2, m 2を配置し、このN-WELLm 2, m 3にそれぞれP+拡散m 4, m 5, m 6, m 7とゲート電極m 8, m 9を配置することにより構成され、標準CMOSプロセスで容易に構成できるものである。

次に、図1および図3を用いて、本実施形態によるバックアップ回路の動作について説明する。

図3は、本発明の第1の実施形態によるバックアップ回路の動作説明図である。

図1に示したバックアップ回路10において、通常時には、MOSトランジスタMOS 1, MOS 2のゲート端子がグランド電位に接続されているので、MOSトランジスタMOS 1, MOS 2はオン状態であるため、微小抵抗として働き、ほとんど電圧降下を発生させずに電源供給端子TIN, TGNDに供給された電圧をデジタル回路20に供給する。ここで、1個のMOSトランジスタのオン状態における抵抗を 2Ω とすると、2個のMOSトランジスタMOS 1, MOS 2の抵抗値は 4Ω である。MOSトランジスタMOS 1, MOS 2を流れる電流を10mAとすると、MOSトランジスタMOS 1, MOS 2における電圧ドロップは、わずか0.04Vである。

したがって、図3に示すように、通常時は、電源供給端子TIN, TGNDに供給される外部電圧V1に対して、デジタル回路20の電源供給端子VDDに供給される電圧V2は、わずか0.04V程度低い電圧である。

一方、電源瞬断時には、MOSトランジスタMOS 2は、MOSトランジスタとしての動作はせず、P+拡散m 7とN-WELLm 3によりダイオードとして動作し、MOSトランジスタMOS 1もP+拡散m 5とN-WELLm 2によりダイオードとして動作する。

このため、図3に示すように、時刻t1において電源瞬断となると、電源供給端子TIN, TGNDの電圧V1が0Vになっても、デジタル回路20に供給される電圧V2はダイオードの順方向電圧Vdの2個分の電圧 $2V_d$ （約1.2V）が維持される。一般にデジタル回路20の記憶装置は、例えばフリップフロップやRAMから構成され、これらの記憶装置は、電源電圧が0.5V程度まで低下しても情報を維持することができる。つまり、本実施形態のバックアップ回路10に

よって、デジタル回路 20 に供給する電源電圧をダイオードの順方向電圧 2 個分の電圧である約 1.2 V に維持させておくことで、デジタル回路内部にあるフリップフロップや RAM の情報を維持させることができる。このことにより、電源瞬断の回復後もデジタル回路 20 を正常に動作させることができるようになる。

なお、一般的に記憶装置は電源電圧が 0.5 V 程度まで低下しても情報を維持できるものであり、そのためには、MOS トランジスタは 1 個だけ用いるようにしてもよいものである。ただし、記憶装置は、製造時のばらつきにより情報を維持できる電圧にもばらつきがあるため、本実施形態では、MOS トランジスタを 2 個直列接続して、電源電圧を約 1.2 V として、記憶装置にばらつきがあっても情報が維持できるようにしている。

以上説明したように、本実施形態では、外部から電源が正常に供給されている時には抵抗として働き、電源が遮断された時にはデジタル回路 20 から電源供給端子 TIN への方向を逆方向とするダイオードとして働く素子である p-MOS トランジスタ MOS 1, MOS 2 を、電源供給端子 TIN とデジタル回路 20 の電源供給端子 VDD に接続している。MOS トランジスタは、標準 MOS プロセスによって構成することができるため、デジタル回路と同一半導体チップに集積化することができる。また、MOS トランジスタは、通常時には電圧降下もほとんど生じないものである。さらに、電源瞬断時には、ダイオードとして機能するため、バックアップコンデンサから電源供給端子方向への逆流を防止することができる。また、2 個の MOS トランジスタを用いるだけであるため、発振器とチャージポンプと MOS トランジスタを用いる従来のものに比べて、発振器とチャージポンプが不要になり、MOS トランジスタが 1 個追加されるだけであるため、素子数を少なくでき、結果として、回路規模は約 1/2 にすることができる。

なお、MOS トランジスタは、p-MOS として説明したが、n-MOS を用いて構成することも可能である。

また、電圧検出回路 12 は、電源瞬断時に、デジタル回路 20 を低消費電力状態にするようにして、電源電圧をバックアップするバックアップコンデンサ C1 が電源電圧を保持する時間を長くするようにしている。

また、遅延回路 14 は、電源瞬断からの復帰後に遅延回路の遅延時間後に、デ

デジタル回路 20 にリセット信号を供給するようにするために設けられている。これによって、電源瞬断からの復帰後不安定になる恐れのあるデジタル回路の場合にも、復帰時に安定化することができる。

次に、図 4 を用いて、本実施形態によるバックアップ回路の具体的な構成について説明する。

図 4 は、本発明の第 1 の実施形態によるバックアップ回路の具体的な構成を示す回路図である。なお、図 1 と同一符号は、同一部分を示している。

図 4 においては、電圧検出回路 12 として、インバータ MOS 回路 INV 1 を用い、遅延回路 14 として、インバータ MOS 回路 INV 2 を用いている。インバータ MOS 回路 INV 1 の出力は、図 3 の時刻 t_3 において、電源供給端子 T_{IN}, T_{GND} の電圧 V_1 が 0 V になったとき、ローレベルからハイレベルに変化する。インバータ MOS 回路 INV 1 の出力がハイレベルになることにより、デジタル回路 20 は、スタンバイ状態に移行して、低消費電力状態に移行する。

インバータ MOS 回路 INV 2 は、入力信号を遅延させるものであり、複数のインバータが直列接続されている。図 3 の時刻 t_1 において、インバータ MOS 回路 INV 1 の出力がローレベルからハイレベルに変化するものとし、デジタル回路 20 は、リセット端子 RESET の入力信号がローレベルからハイレベルに変化した場合に、内部の CPU 等 にリセットをかけるものとする。インバータ MOS 回路 INV 2 を構成するインバータの個数は、偶数個とする。電源瞬断後からの復帰時に不安定になるデジタル回路 20 においては、この不安定さが解消されるまでの時間だけ遅延させる。単一のインバータによる遅延時間が、例えば、10 ns とすると、デジタル回路 20 の安定化まで必要とされる遅延時間が確保できるように、直列接続するインバータの個数を設定する。また、この遅延時間が長い場合には、図示するように、インバータ MOS 回路 INV 2 の出力にコンデンサ C 2 を接続し、このコンデンサ C 2 のチャージ時間だけ、遅延時間を確保するようにすることもできる。

以上説明したように、本実施形態によれば、電源供給端子から供給される電圧が低下した場合にはバックアップコンデンサから電源供給端子への電流の逆流を防止することができる。しかも、標準 CMOS プロセスで製造することが可能で

ある。さらに、回路規模を小さくすることが可能である。

次に、図5および図6を用いて、本発明の第2の実施形態によるバックアップ回路の構成および動作について説明する。

図5は、本発明の第2の実施形態によるバックアップ回路の構成を示す回路図である。図6は、本発明の第2の実施形態によるバックアップ回路によってバックアップされるデジタル回路の構成を示すブロック図である。なお、図5において、図1と同一符号は、同一部分を示している。

図5において、バックアップ回路10Aは、直列に接続されたp-MOSトランジスタMOS1、MOS2と、バックアップコンデンサC1と、発振器16とから構成される。p-MOSトランジスタMOS1、MOS2および、バックアップコンデンサC1の動作は、図1に示したものと同様である。

発振器16は、電源供給端子TIN、TGNDの両端電圧によって動作し、クロック端子CLKからクロック信号を出力する。クロック信号は、デジタル回路20のクロック端子CLKに供給される。発振器16は、電源供給端子TIN、TGNDの両端電圧が低下すると、発振を自動的に停止する。

図6において、デジタル回路20Aは、プログラムカウンタ21と、ROM22と、レジスタ群23と、演算器24と、入出力回路25とから構成される。プログラムカウンタ21は、0から最大値までを繰り返し巡回しプログラムの実行を管理する。ROM22は、プログラムカウンタ21の出力に応じて予め格納されたプログラムを出力する。ROM22から出力されるプログラムコードは、制御コードバスCCBを介して、レジスタ群23、演算器24、入出力回路25に送られる。レジスタ群23は一時的にデータを保持するものであり、演算器24は演算を実行するものであり、入出力回路25は入出力を行うものである。なお、レジスタ群23と演算器24と入出力回路25の間のデータのやり取りは、データバスDBを介して行われる。

図5の発振器16から入力したクロック信号は、それぞれ、プログラムカウンタ21、ROM22、レジスタ群23、演算器24、入出力回路25に供給されている。電源供給端子TIN、TGNDの両端電圧が低下して、発振器43が発振を自動的に停止すると、発振器43から動作クロックを供給されるデジタル回路20

Aのプログラムカウンタ21, ROM22, レジスタ群23, 演算器24, 入出力回路25も動作停止して、低消費電力状態になる。

また、デジタル回路20Aは、プログラムカウンタ21を巡回させて、プログラムを巡回動作させるものであるため、電源が瞬断してプログラム動作が暴走しても巡回動作であるために必ず復帰する。すなわち、リセット動作を行うことなく、復帰することができる。

以上説明したように、本実施形態によれば、電源供給端子から供給される電圧が低下した場合にはバックアップコンデンサから電源供給端子への電流の逆流を防止することができる。しかも、標準CMOSプロセスで製造することが可能である。さらに、回路規模を小さくすることが可能である。

産業上の利用可能性

本発明によれば、標準CMOSプロセスで構成することができ、回路規模を小さくすることができる。

請求の範囲

1. 記憶回路を含むデジタル回路(20)とこのデジタル回路に電源を供給する電源供給端子(TIN, TGND)との間に配置され、電源瞬断時に前記デジタル回路にバックアップ電圧を供給するバックアップコンデンサ(C1)を有し、前記記憶回路に記憶された情報を保持するバックアップ回路において、

前記電源供給端子(TIN, TGND)と前記バックアップコンデンサ(C1)との間に配置され、前記電源供給端子に電源が正常に供給されている時には抵抗として働き、電源が遮断された時には前記デジタル回路から前記電源供給端子への方向を逆方向とするダイオードとして働くとともに、標準CMOSプロセスで構成することができる素子(MOS1, MOS2)を備えたことを特徴とするバックアップ回路。

2. 請求項1記載のバックアップ回路において、

前記素子は、MOSトランジスタ(MOS1, MOS2)であり、

このMOSトランジスタのゲート端子(G1, G2)がグランド電位に接続されることを特徴とするバックアップ回路。

3. 請求項2記載のバックアップ回路において、

前記MOSトランジスタ(MOS1, MOS2)は、複数個直列に接続されたことを特徴とするバックアップ回路。

4. 請求項1記載のバックアップ回路において、さらに、

前記電源供給端子の電圧が予め定められた電圧以下になった場合に前記デジタル回路を低消費電力状態に移行させる移行手段(12)を備えたことを特徴とするバックアップ回路。

5. 請求項4記載のバックアップ回路において、

前記移行手段(12)は、前記電源供給端子の電圧を検出する電圧検出手段であり、予め定められた電圧以下になった場合に前記デジタル回路をスタンバイ状態に移

行させることを特徴とするバックアップ回路。

6. 請求項4記載のバックアップ回路において、

前記移行手段(12)は、前記電源供給端子から供給される電圧によって駆動される発振器であり、この発振器から出力されるクロック信号により、前記デジタル回路を駆動するとともに、前記電源供給端子から供給される電圧が予め定められた電圧になると、発振を停止することを特徴とするバックアップ回路。

7. 請求項1記載のバックアップ回路において、さらに、

前記電源供給端子の電圧が予め定められた電圧以下になった場合に前記デジタル回路をリセットするリセット手段(14)を備えたことを特徴とするバックアップ回路。

8. 請求項7記載のバックアップ回路において、

前記リセット手段(14)は、前記電源供給端子の電圧が予め定められた電圧以下になった後、所定時間遅延して前記デジタル回路をリセットすることを特徴とするバックアップ回路。

図1

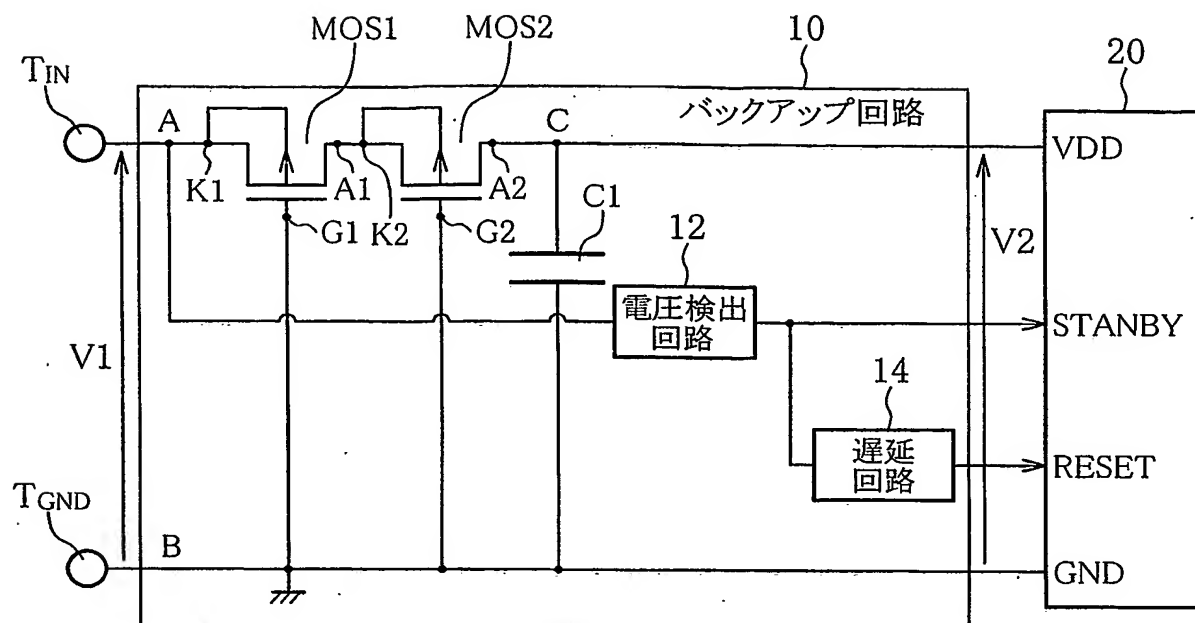


図2

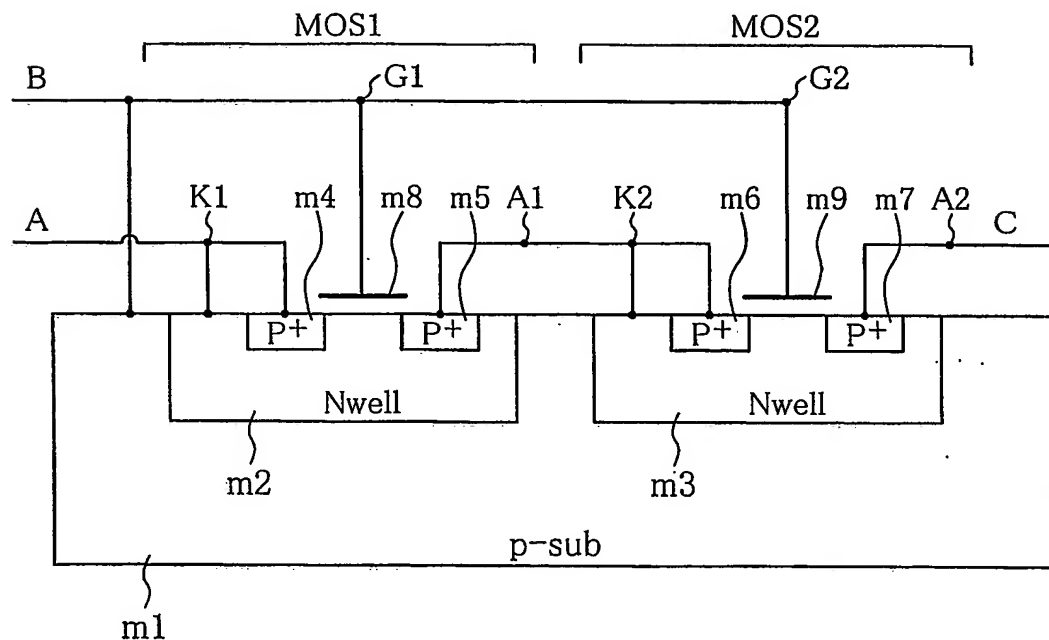


図3

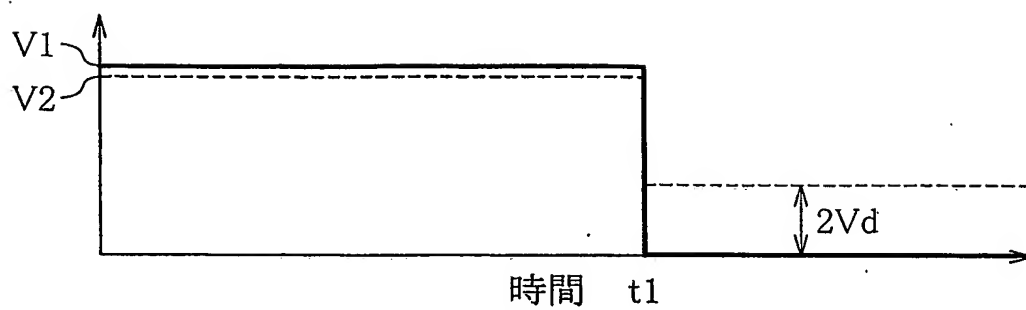


図4

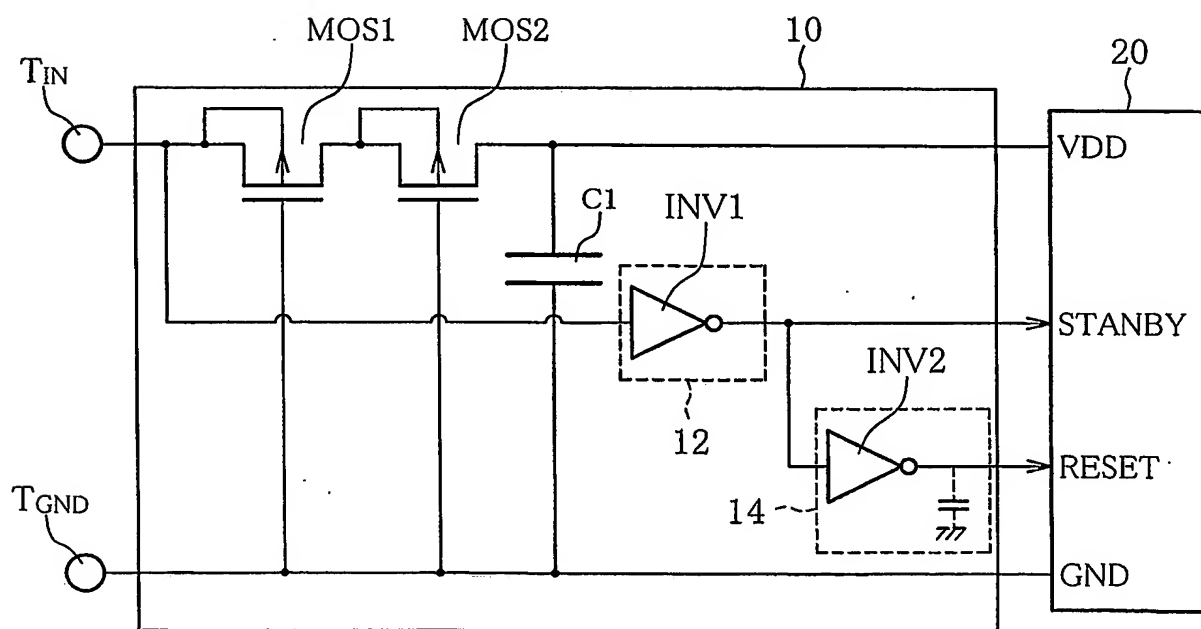


図5

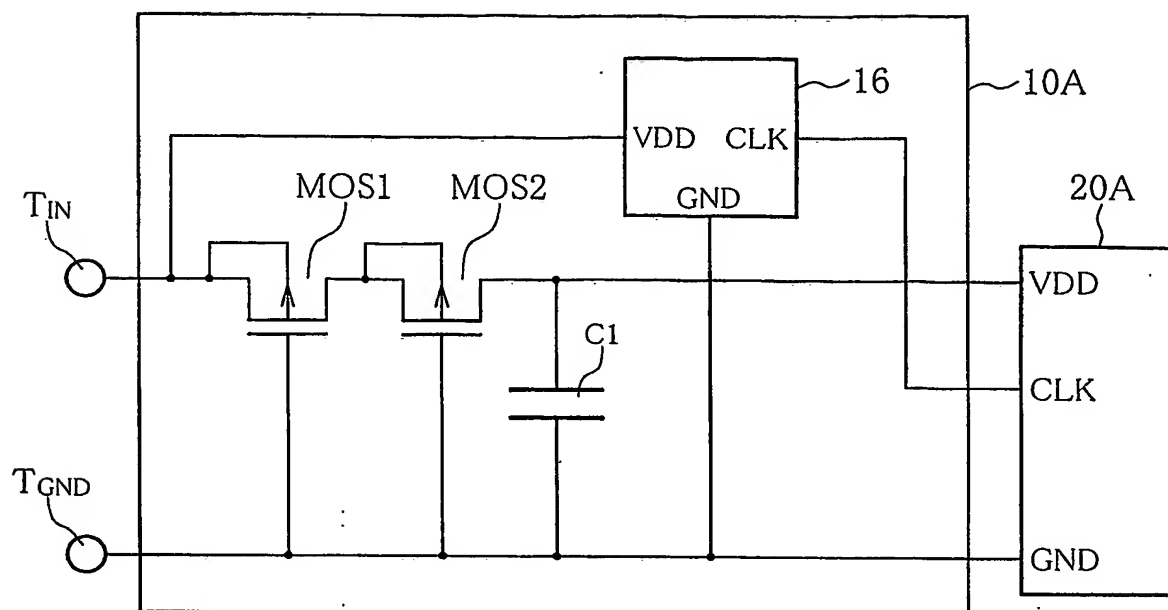
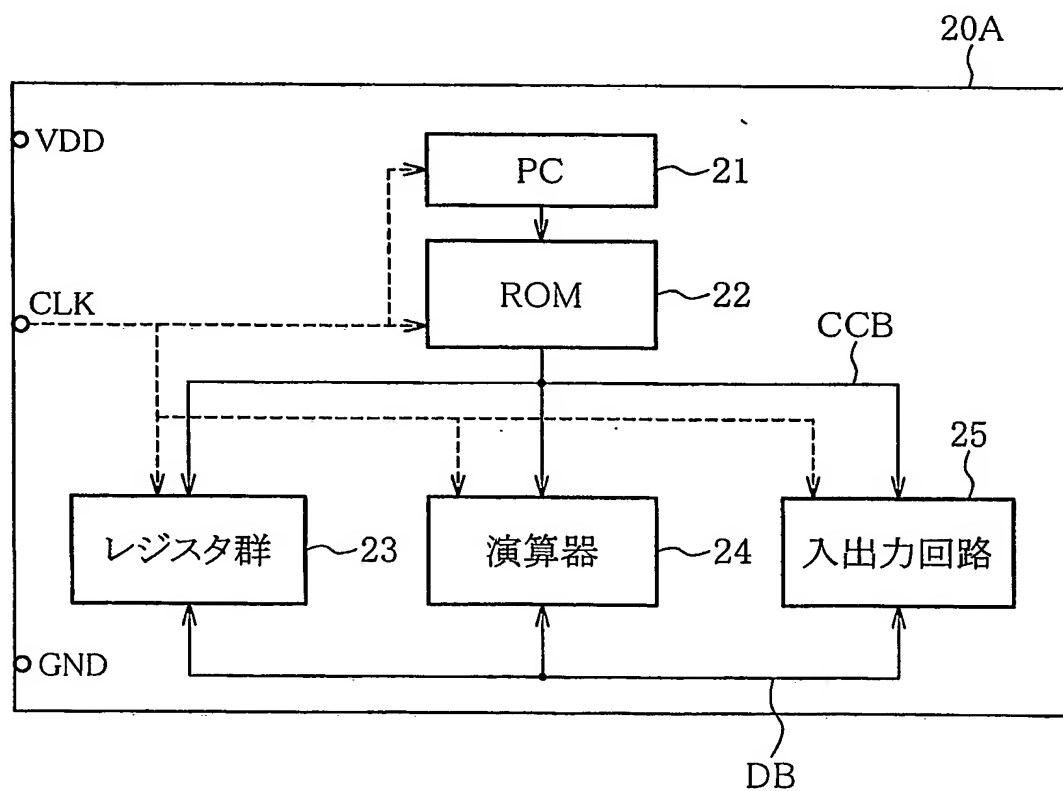


図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11894

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02J9/06, H02J9/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02J9/00-9/06, G06F1/30, H01L27/06, 27/08, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-285832 A (Daikin Industries, Ltd.), 23 October, 1998 (23.10.98), Par. Nos. [0003] to [0007]; Fig. 3 (Family: none)	1-8
Y	JP 2001-28845 A (Asahi Kasei Microsystems Co., Ltd.), 30 January, 2001 (30.01.01), Par. No. [0012]; Fig. 3 (Family: none)	1-8
Y	JP 2003-258113 A (Sanyo Denki Kabushiki Kaisha), 12 September, 2003 (12.09.03), Par. No. [0015]; Fig. 19 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 November, 2003 (20.11.03)	Date of mailing of the international search report 02 December, 2003 (02.12.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11894

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-322429 A (Toshiba Corp.), 12 December, 1997 (12.12.97), Par. No. [0010] (Family: none)	6
Y	JP 2638257 B2 (Yuasa Corp.), 25 April, 1997 (25.04.97), Claims; Figs. 1, 2 (Family: none)	7, 8
A	JP 3363360 B2 (Hitachi, Ltd.), 25 October, 2002 (25.10.02), Claims; Par. Nos. [0045] to [0049] (Family: none)	1-8
A	JP 5-276688 A (Sanyo Denki Kabushiki Kaisha), 22 October, 1993 (22.10.93), Par. No. [0012]; Fig. 2 (Family: none)	6

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H02J9/06, H02J9/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02J9/00-9/06, G06F1/30, H01L27/06, 27/08, H03K17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-285832 A (ダイキン工業株式会社) 1998.10.23, 【0003】～【0007】欄, 第3図 (ファミリーなし)	1-8
Y	JP 2001-28845 A (旭化成マイクロシステム株式会社) 2001.01.30, 【0012】欄, 第3図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20.11.03

国際調査報告の発送日

02.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
吉村 伊佐雄



5T 4235

電話番号 03-3581-1101 内線 6705

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-258113 A (山洋電機株式会社) 2003. 09. 12, 【0015】欄、第19図, (ファミリーなし)	1-8
Y	J P 9-322429 A (株式会社東芝) 1997. 12: 12, 【0010】, (ファミリーなし)	6
Y	J P 2638257 B2 (株式会社ユアサコーポレーション) 1997. 04. 25, 特許請求の範囲, 第1, 2図, (ファミリーなし)	7, 8
A	J P 3363360 B2 (株式会社日立製作所) 2002. 10. 25, 特許請求の範囲, 【0045】～【0049】欄, (ファミリーなし)	1-8
A	J P 5-276688 A (山洋電機株式会社) 1993. 10. 22, 【0012】欄, 第2図, (ファミリーなし)	6